

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10285235 A**

(43) Date of publication of application: **23.10.98**

(51) Int. Cl.

H04L 29/02

G06F 13/00

(21) Application number: **09083142**

(71) Applicant: **SONY CORP**

(22) Date of filing: **01.04.97**

(72) Inventor: **TACHIBANA HISASHI**

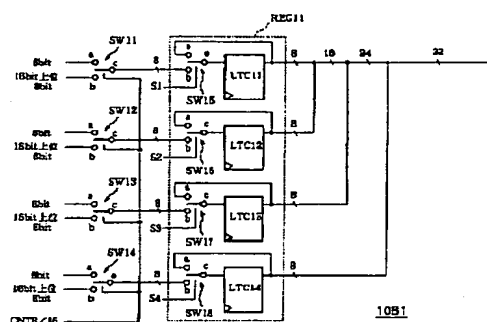
(54) **SIGNAL PROCESSING CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a signal processing circuit that adds additional data without losing data of an application side.

SOLUTION: A processing circuit is provided with a timing control circuit that generates and outputs control signals S1-S4 to control arrangement positions of transmission data so that transmission data are not missing with additional data added after the conversion of the transmission data base on numeral data or the like denoting whether or not the additional data give effect on the arrangement of the transmission data and with a data position control circuit 1061 that receives the control signals S1-S4 from the timing control circuit, shifts the bits of the head of the transmission data from high-order bits of 1 quadlet toward low-order bits in the unit of 8 bits in response to the presence of the additional data and number of bytes giving effect (overlapping) of the additional data onto the transmission data so as to control the bit position where no data missing takes place through the overlapping of the inserted additional data on the transmission data.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285235

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 29/02

H 0 4 L 13/00

3 0 1 Z

G 0 6 F 13/00

3 5 3

G 0 6 F 13/00

3 5 3 T

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平9-83142

(22) 出願日

平成9年(1997)4月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 立花 久

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニー・エルエスアイ・デザイン株式会社

社内

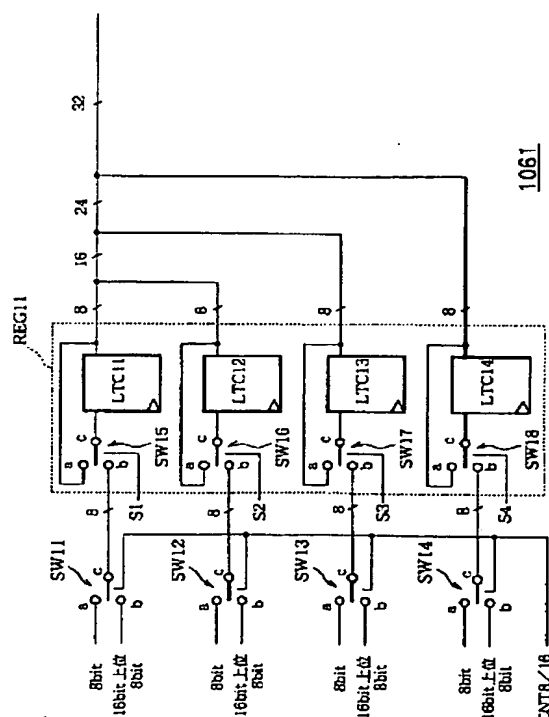
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 信号処理回路

(57) 【要約】

【課題】 アプリケーション側のデータを損なうことなく、付加データを付加することができる信号処理回路を提供する。

【解決手段】 付加データが送信データの配置位置に影響を及ぼすかを示す数データ等に基づいて、送信データの変換後に付加される付加データによって、送信データが欠落しないように、送信データの配置位置を制御するための制御信号 S1～S4 を生成して出力するタイミング制御回路と、タイミング制御回路による制御信号 S1～S4 を受けて、付加データの有無、および付加データが送信データに影響を及ぼす(重なる)バイト数に応じて送信データの先頭側の配置位置を、1クワドレットの上位側から8ビット単位で下位側へずらして、付加データが挿入されても送信データに重なってデータの欠落が生じない位置に制御するデータ位置制御回路 1061 を設ける。



【特許請求の範囲】

【請求項1】 アプリケーション側から送信データを受けて、あらかじめ決められたデータ配列に変換し、必要時には変換したデータに付加データを付加して、あらかじめ決められた時間サイクルでシリアルインタフェースバスに送出する信号処理回路であって、

付加データを付加する場合に、当該付加データによって送信データが欠落しないように、送信データの配置位置を制御する送信回路を有する信号処理回路。

【請求項2】 上記変換時には送信データはあらかじめ決められた単位幅をもって順次に配置され、上記付加データは変換された送信データの先頭位置側に任意幅をもって配置され、

上記送信回路は、付加データが送信データの配置位置に重なるデータ幅を認識し、少なくとも認識したデータ幅だけ、送信データの先頭位置を下位側へずらして配置する請求項1記載の信号処理回路。

【請求項3】 上記付加データの単位幅は、上記送信データの単位幅より小さい請求項2記載の信号処理回路。

【請求項4】 上記送信データは、DSS仕様のMPEGトランスポートストリームデータである請求項1記載の信号処理回路。

【請求項5】 上記データ送信はIEEE1394規格のアイソクロナス転送で行われる請求項1記載の信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリアルインターフェースに用いられる信号処理回路に関するものである。

【0002】

【従来の技術】近年、マルチメディア・データ転送のためのインターフェースとして、高速データ転送、リアルタイム転送を実現するIEEE(The Institute of Electrical and Electronic Engineers)1394、High Performance Serial Busが規格化された。

【0003】このIEEE1394シリアルインタフェースのデータ転送には、従来のRequest,Acknowledgeの要求、受信確認を行うアシンクロナス(Asynchronous)転送と、あるノードから125 μ sに1回必ずデータが送られるアイソクロナス(Isochronous)転送がある。

【0004】このように、2つの転送モードを有するIEEE1394シリアルインタフェースでのデータは、パケット単位で転送が行われる。

【0005】図5は、アイソクロナス通信における1ソースパケットのバイトサイズを示す図である。図5

(A)はDVB(Digital Video Broadcast)仕様時、図5(B)はDSS(Digital Satellite System)仕様時のパケットサイズを示している。

【0006】DVB仕様時のソースパケットサイズは、図5(A)に示すように、4バイトのソースパケットヘッダ(SPH;Source Packet Header)と188バイトのデータの192バイトである。

【0007】これに対して、DSS仕様時のソースパケットサイズは、図5(B)に示すように、4バイトのソースパケットヘッダ(SPH)、10バイトの付加データ、および130バイトのデータの144バイトである。付加バイトはソースパケットヘッダとデータとの間に挿入される。なお、IEEE1394規格では、取り扱う最小データの単位は1クワドレット(quadlet)(=4バイト=32ビット)であるため、トランスポートストリームデータと付加データの合計が32ビット単位で構成できる設定であることが必要である。ただし、デフォルトでは付加バイトなしで設定される。

【0008】図6は、IEEE1394規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【0009】図6に示すように、元のデータであるソースパケットは、4バイトのソースパケットヘッダと、データ長を調整するためのパディングデータを付加された後、所定の数のデータブロックに分割される。なお、パケットを転送するときのデータの単位が1クワドレット(4バイト)であることから、データブロックや各種ヘッダなどのバイト長は、全て4の倍数に設定される。

【0010】図7は、ソースパケットヘッダのフォーマットを示す図である。図7に示すように、ソースパケットヘッダのうち、25ビットには、たとえば上述したDVB方式等のデジタル衛星放送等で利用されているMPEG(Moving Picture Experts Group)-TS(Transport Stream)データをアイソクロナス通信で送信するときに、ジッタを抑制するために利用されるタイムスタンプ(TimeStamp)が書き込まれる。

【0011】そして、このようなパケットヘッダやCIP(Common Isochronous Packet)ヘッダ等のデータが、所定の数のデータブロックに付加されることによりパケットが生成される。

【0012】図8はアイソクロナス通信用パケットの基本構成例を示す図である。図8に示すように、アイソクロナス通信のパケットは、第1クワドレットが1394ヘッダ(Header)、第2クワドレットがヘッダCRC(Header-CRC)、第3クワドレットがCIPヘッダ1(CIP-Header1)、第4クワドレットがCIPヘッダ2(CIP-Header2)、第5クワドレットがソースパケットヘッダ(SPH)で、第6クワドレット以降がデータ領域である。そして、最後のクワドレットがデータCRC(Data-CRC)である。

【0013】1394ヘッダは、データ長を表すdata-lengtht、このパケット転送されるチャネルの番号(0~6

3のいずれか)を示すchannel、処理のコードを表すcode、および各アプリケーションで規定される同期コードsyにより構成されている。ヘッダCRCは、パケットヘッダの誤り検出符号である。

【0014】CIPヘッダ1は、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH領域、アイソクロナスパケットの数を検出するカウンタのためのDBC(Data Block Continuty Counter)領域により構成されている。なお、DBS領域は、1アイソクロナスパケットで転送するクワドレット数を表す。

【0015】CIPヘッダ2は、転送されるデータの種類の表す信号フォーマットのためのFMT領域、および信号フォーマットに対応して利用されるFDF(Format Dependent Field)領域により構成されている。

【0016】SPHヘッダは、トランスポートストリームパケットが到着した軸に固定の遅延値を加えた値が設定されるタイムスタンプ領域を有している。また、データCRCは、データフィールドの誤り検出符号である。

【0017】上述した構成を有するパケットの送受信を行うIEEE1394シリアルインタフェースの信号処理回路は、主としてIEEE1394シリアルバスを直接ドライブするフィジカル・レイヤ回路と、フィジカル・レイヤのデータ転送をコントロールするリンク・レイヤ回路とにより構成される。

【0018】

【発明が解決しようとする課題】ところで、上述したようにDSS方式等のデジタル衛星放送等で利用されているMPEG-TSデータをアイソクロナス通信で送信するときに、送信側の信号処理回路では、いわゆるアプリケーション側であるMPEGトランスポート(Transporter)からのトランスポートストリームデータに最大10バイトの付加データを付加して出力する場合がある。また、前述したように、IEEE1394シリアルインタフェースにおいては、パケットを転送するときのデータの単位が1クワドレット(4バイト、32ビット幅)であることから、データブロックや各種ヘッダなどのバイト長は、全て4の倍数に設定されるが、これに対してアプリケーション側では8ビット(1バイト)または16ビット(2バイト)のデータ単位で行われる。

【0019】そのため信号処理回路で、アプリケーション側から入力された8ビットや16ビットのデータを32ビット単位に変換して送り出す必要がある。このとき、たとえばDSS方式の場合、データが130バイトであるから32.5クワドレットに変換され、また、シリアルバスにデータ伝送する際に付加される付加データ

は10バイトであるから2.5クワドレットに変換される。このため、たとえば送信データを記憶装置としてのFIFOのバンク先頭から送信データを配置した後に、付加データを配置すると、送信データの先頭の2バイトが付加データの9バイト目、10バイト目で書き換えられてしまい、送信データの欠落が生じるおそれがある。そのため、アプリケーション側のデータを損なうことなく、付加データを付加する必要がある。しかし、現在のIEEE1394シリアルインタフェースの信号処理回路では、送信データに付加データを付加する処理システムが確立されていない。

【0020】本発明は、かかる事情に鑑みてなされたものであり、その目的は、アプリケーション側のデータを損なうことなく、付加データを付加することができる信号処理回路を提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するため、本発明は、アプリケーション側から送信データを受けて、あらかじめ決められたデータ配列に変換し、必要時には変換したデータに付加データを付加して、あらかじめ決められた時間サイクルでシリアルインタフェースバスに送出する信号処理回路であって、付加データを付加する場合に、当該付加データによって送信データが欠落しないように、送信データの配置位置を制御する送信回路を有する。

【0022】また、本発明では、上記変換時には送信データはあらかじめ決められた単位幅をもって順次に配置され、上記付加データは変換された送信データの先頭位置側に任意幅をもって配置され、上記送信回路は、付加データが送信データの配置位置に重なるデータ幅を認識し、少なくとも認識したデータ幅だけ、送信データの先頭位置を下位側へずらして配置する

【0023】また、上記付加データの単位幅は、上記送信データの単位幅より小さい。

【0024】本発明の信号処理回路によれば、アプリケーション側からの送信データは、送信回路に入力されてあらかじめ決められた単位幅のデータ配列に変換される。そして、この変換に際して、送信データに任意幅の付加データが付加される場合には、送信回路によって、付加データが送信データの配置位置に重なるデータ幅が認識され、送信データは付加データがない場合に比べて、少なくとも認識したデータ幅だけ下位側にずらした位置にその先頭が配置される。

【0025】

【発明の実施の形態】

第1実施形態

図1は、IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の第1の実施形態を示すブロック構成図である。

【0026】この信号処理回路は、リンク・レイヤ回路

10、フィジカル・レイヤ回路20、ホストコンピュータとしてのCPU30により構成されている。また、40はMPEGトランスポートを示している。

【0027】リンク・レイヤ回路10は、CPU30の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。具体的には、図1に示すように、リンクコア(Link Core)101、ホストインタフェース回路(Host I/F)102、アプリケーションインタフェース回路(API/F)103、送信用FIFO(First-In First-Out)メモリ(以下、FIFO、AT-FIFO)104a、受信用FIFO(AR-FIFO)104bからなるアシンクロナス通信用FIFO104、セルフID用リゾルバ(Resolver)105、アイソクロナス通信用送信前処理回路(TXOPRE)106、アイソクロナス通信用送信後処理回路(TXOPRO)107、アイソクロナス通信用受信前処理回路(TXIPRE)108、アイソクロナス通信用受信前処理回路(TXIPRO)109、アイソクロナス通信用FIFO(I-FIFO)110、およびコンフィギュレーションレジスタ(Configuration Register、以下CFRという)111により構成されている。

【0028】図1の回路において、ホストインタフェース回路102、送信用FIFO104a、アシンクロナス通信の受信用FIFO104bおよびリンクコア101によりアシンクロナス通信系回路が構成される。そして、アプリケーションインタフェース回路103、送信前処理回路106、送信後処理回路107、受信前処理回路108、受信前処理回路109、FIFO110およびリンクコア101によりアイソクロナス通信系回路が構成される。

【0029】リンクコア101は、アシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットのIEEE1394シリアルバスBSを直接ドライブするフィジカル・レイヤ回路20とのインタフェース回路、125μs毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。そして、たとえばサイクルタイマ等の時間データ等はCFR111を通してアイソクロナス通信系処理回路に供給される。

【0030】ホストインタフェース回路102は、主としてホストコンピュータとしてのCPU30と送信用FIFO104a、受信用FIFO104bとのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、CPU30とCFR111との各種データの送受信の調停を行う。たとえばCPU30からは、アイソクロナス通信用パケットのSPH(ソースパケットヘッダ)に設定されるタイムスタンプ用遅延時間Txdelayがホストインタフェース102を通してCFR111にセットされる。また、CPU30からは、8ビットまたは16ビットで送られてくるアプリケーション側データ、

たとえばDSS方式のMPEGトランスポートストリームデータに付加データを付加するときには、付加データ、送信前処理回路106の後述するデータ位置制御回路1061およびタイミング制御回路1062の動作を制御するための制御信号CNT8/16、SN、およびいくつか(何バイト)の付加データが送信データの書き込み位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8~N3-8がセットされる。

【0031】送信用FIFO104aには、IEEE1394シリアルバスBSに伝送させるアシンクロナス通信用パケットが格納され、受信用FIFO104bにはIEEE1394シリアルバスBSを伝送されてきたアシンクロナス通信用パケットが格納される。

【0032】アプリケーションインタフェース回路103は、MPEGトランスポート40とアイソクロナス通信用送信前処理回路106およびアイソクロナス通信用受信前処理回路109とのクロック信号や制御信号等を含むMPEGトランスポートストリームデータの送受信の調停を行う。

【0033】リゾルバ(Resolver)105は、バスリセット時にIEEE1394シリアルバスBSを伝送されてきたセルフIDパケットの内容を解析して、CFR111に格納する。

【0034】送信前処理回路106、アプリケーションインタフェース回路103を介してMPEGトランスポート40による8ビットまたは16ビットのMPEGトランスポートストリームデータを受けて、IEEE1394規格のアイソクロナス通信用としてクワドレット

(4バイト)単位にデータ長を調整し、かつ4バイトのソースパケットヘッダ(SPH)を付加し、FIFO110に格納する。また、最大10バイトの付加データを付加する場合には、CPU30からの付加データ、制御信号CNT8/16、SN、およびいくつか(何バイト)の付加データが送信データの書き込み位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8~N3-8に基づいて、送信データの変換後に付加される付加データによって、送信データが欠落しないように、送信データの配置位置を制御する。

【0035】ソースパケットヘッダを付加するときに受信側のデータ出力時間を決定するタイムスタンプを設定するが、この設定は以下のように行われる。まず、MPEGトランスポート40からパケットの最終データを受け取ったタイミングで内部のサイクルレジスタの値をラッチする。次に、CPU30からホストインタフェース102を介してCFR111にセットされた遅延時間Txdelayを上記サイクルレジスタの値に加算する。そして、加算した値をタイムスタンプとして、受け取ったパケットのソースパケットヘッダに挿入(設定)する。

【0036】図2は、タイムスタンプの具体的な構成を説明するための図である。図2に示すように、受信側の

データ出力時間を決定するためのタイムスタンプは、25ビットで現時刻を表す。すなわち、タイムスタンプは25ビットで構成され、下位12ビットがサイクルオフセットCO(cycle-offset)領域、上位13ビットがサイクルカウントCC(cycle-count)領域として割り当てられている。サイクルオフセットは0~3071(12b 101111111111)の125 μ sをカウントし(クロックCLK=24.576MHz)、サイクルカウントは0~7999(13b 111110011111)の1秒をカウントするものである。したがって、原則として、タイムスタンプの下位12ビットは3072以上を示すことはなく、上位13ビットは8000以上を示すことはない。

【0037】次に、送信前処理回路106における付加データを付加する場合のデータの書き込み位置の制御回路の構成例を図3および図4を参照して説明する。この制御回路は、図3に示すデータ位置制御回路1061および図4に示すタイミング制御回路1062により構成されている。

【0038】データ位置制御回路1061は、スイッチ回路SW11~SW14およびデータレジスタREG11により構成され、データ位置制御回路1061による制御信号S1~S4を受けて、付加データの有無、および付加データが送信データに影響を及ぼす(重なる)バイト数に応じて送信データの先頭側の配置位置を、1クワドレットの上位側から8ビット単位で下位側へずらして、付加データが挿入されても送信データに重なって(上書きされて)データの欠落が生じない位置に制御する。また、データレジスタREG11はスイッチ回路SW15~SW18およびラッチ回路LTC11~LTC14により構成されている。

【0039】スイッチ回路SW11~SW14の入力端子aはアプリケーションインタフェース回路103からの8ビットアプリケーションデータの入力ラインに接続され、入力端子bは16ビットアプリケーションデータの上位8ビットの入力ラインに接続され、各出力端子cはそれぞれスイッチ回路SW15~SW18の入力端子bに接続されている。そして、CPU30による制御信号CNT8/16が8ビットデータの入力を示す場合には出力端子cに入力端子aを接続し、16ビットデータの入力を示す場合には出力端子cに入力端子aを接続する。

【0040】スイッチ回路SW15の入力端子aはラッチ回路LTC11の出力端子に接続され、出力端子cはラッチ回路LTC11のデータ入力端子に接続され、タイミング制御回路1062による制御信号S1がアクティブのときに出力端子cに入力端子bを接続し、非アクティブのときは出力端子cに入力端子aを接続する。スイッチ回路SW16の入力端子aはラッチ回路LTC12の出力端子に接続され、出力端子cはラッチ回路LTC12のデータ入力端子に接続され、タイミング制御回路

1062による制御信号S2がアクティブのときに出力端子cに入力端子bを接続し、非アクティブのときは出力端子cに入力端子aを接続する。スイッチ回路SW17の入力端子aはラッチ回路LTC13の出力端子に接続され、出力端子cはラッチ回路LTC13のデータ入力端子に接続され、タイミング制御回路1062による制御信号S3がアクティブのときに出力端子cに入力端子bを接続し、非アクティブのときは出力端子cに入力端子aを接続する。スイッチ回路SW18の入力端子aはラッチ回路LTC14の出力端子に接続され、出力端子cはラッチ回路LTC14のデータ入力端子に接続され、タイミング制御回路1062による制御信号S4がアクティブのときに出力端子cに入力端子bを接続し、非アクティブのときは出力端子cに入力端子aを接続する。

【0041】そして、ラッチ回路LTC11の出力端子はアプリケーションデータが書き込まれる第1クワドレットの最上位ビットに接続されている。制御信号S1がアクティブでこのラッチ回路LTC11にデータがラッチされた場合は、アプリケーションデータに上書きする付加データがなく、アプリケーションデータを書き込むべき第1クワドレットの先頭位置からデータが配置されることになる。ラッチ回路LTC12の出力端子はアプリケーションデータが書き込まれる第1クワドレットの最上位ビットから8ビットずらして、すなわち上位から1バイトあけた下位側に接続されている。制御信号S2がアクティブでこのラッチ回路LTC12にデータがラッチされた場合は、アプリケーションデータに上書きする付加データが1バイト分あることから、アプリケーションデータを書き込むべき第1クワドレットの先頭位置から8ビット(1バイト)分あけた位置からデータが配置されることになる。ラッチ回路LTC13の出力端子はアプリケーションデータが書き込まれる第1クワドレットの最上位ビットから16ビットずらして、すなわち上位から2バイトあけた位置に下位側に接続されている。制御信号S3がアクティブでこのラッチ回路LTC13にデータがラッチされた場合は、アプリケーションデータに上書きする付加データが2バイト分あることから、アプリケーションデータを書き込むべき第1クワドレットの先頭位置から16ビット(2バイト)分あけた位置からデータが配置されることになる。ラッチ回路LTC14の出力端子はアプリケーションデータが書き込まれる第1クワドレットの最上位ビットから24ビットずらして、すなわち上位から3バイトあけた下位側に接続されている。制御信号S4がアクティブでこのラッチ回路LTC14にデータがラッチされた場合は、アプリケーションデータに上書きする付加データが3バイト分あることから、アプリケーションデータを書き込むべき第1クワドレットの先頭位置から24ビット分あけた位置からデータが配置されることになる。

【0042】タイミング制御回路1062は、スイッチ

回路SW21～SW26、ゲート回路GT21、GT22、カウンタCT21、およびデコーダDC21～DC24により構成され、CPU30からの付加データ、制御信号CNT8/16、SN、およびいくつ（何バイト）の付加データが送信データの書き込み位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8～N3-8に基づいて、アプリケーションデータの変換後に付加される付加データによって、送信データが欠落しないように、送信データの配置位置を制御するための制御信号S1～S4を生成して、データ位置制御回路1061に出力する。

【0043】スイッチ回路SW21の入力端子aは数データN0-16の入力ラインに接続され、入力端子bは数データN1-16の入力ラインに接続され、出力端子cはスイッチ回路SW23の入力端子aに接続されている。そして、2ビットの信号SNが「00」のとき出力端子cを入力端子aに接続し、信号SNが「01」のとき出力端子cを入力端子bに接続する。スイッチ回路SW22の入力端子aは数データN0-8の入力ラインに接続され、入力端子bは数データN1-8の入力ラインに接続され、入力端子cは数データN2-8の入力ラインに接続され、入力端子dは数データN3-8の入力ラインに接続され、出力端子eはスイッチ回路SW23の入力端子bに接続されている。そして、2ビットの信号SNが「00」のとき出力端子eを入力端子aに接続し、信号SNが「01」のとき出力端子eを入力端子bに接続し、信号SNが「10」のとき出力端子eを入力端子cに接続し、信号SNが「11」のとき出力端子eを入力端子dに接続する。スイッチ回路SW23の出力端子cはゲート回路GT21の入力端子に接続され、制御信号CNT8/16が16ビットを示す場合には出力端子cに入力端子aを接続し、8ビットを示す場合には出力端子cに入力端子bを接続する。

【0044】ゲート回路GT21は、パケットイネーブル信号PKENをゲート信号として、信号SNおよびCNT8/16で選択された数データN0-16、N1-16、N0-8～N3-8のうちの一データをカウンタCT21に入力させる。カウンタCT21は、その数データをそのロードし、2ビットデータとして出力する。また、ゲート回路GT22は、パケットイネーブル信号PKENをゲート信号として、制御信号S4をカウンタCT21のクリア端子に入力させる。

【0045】デコーダDC21は、カウンタCT21の出力値のうち「0」をデコードし、その出力ラインをアクティブにする。この出力ラインは制御信号S1の出力ラインおよびスイッチ回路SW24の入力端子aに接続されている。デコーダDC22は、カウンタCT21の出力値のうち「1」をデコードし、その出力ラインをアクティブにする。この出力ラインはスイッチ回路SW24の入力端子b、スイッチ回路SW25、SW26の入

力端子aに接続されている。デコーダDC23は、カウンタCT21の出力値のうち「2」をデコードし、その出力ラインをアクティブにする。この出力ラインはスイッチ回路SW25の入力端子bに接続されている。デコーダDC24は、カウンタCT21の出力値のうち「3」をデコードし、その出力ラインをアクティブにする。この出力ラインはスイッチ回路SW26の入力端子bに接続されている。

【0046】そして、スイッチ回路SW24の出力端子cは制御信号S2の出力ラインに接続され、スイッチ回路SW25の出力端子cは制御信号S3の出力ラインに接続され、スイッチ回路SW26の出力端子cは制御信号S4の出力ラインおよびゲート回路GT22の一方の入力端子に接続されている。

【0047】送信後処理回路107は、FIFO110に格納されたソースパケットヘッダあるいはさらに付加データを含むソースパケットデータに対して図8に示すように、1394ヘッダ、CIPヘッダ1、2を付加してリンクコア101の送信回路に出力する。

【0048】受信前処理回路108は、リンクコア101を介してIEEE1394シリアルバスBSを伝送されてきたアイソクロナス通信用パケットを受けて、受信パケットの1394ヘッダ、CIPヘッダ1、2等の内容を解析し、データを復元してソースパケットヘッダとデータをFIFO110に格納する。

【0049】受信後処理回路109は、FIFO110に格納されたソースパケットヘッダのタイムスタンプの時間データを読み出し、読み出したタイムスタンプデータ(TS)とリンクコア101内にあるサイクルタイムによるサイクルタイム(CT)を比較し、サイクルタイムCTがタイムスタンプデータTSより大きい場合には、FIFO110に格納されているソースパケットヘッダを除くデータをアプリケーションインタフェース回路103を介し、MPEG用トランスポートストリームデータとしてMPEGトランスポート40に出力する。

【0050】次に、アイソクロナス通信用パケットをIEEE1394シリアルバスBSに送信する場合の動作を、図3のフローチャートを参照しつつ説明する。

【0051】送信時には、CPU30によりタイムスタンプとして加算すべき遅延時間TxdelayがCFR111にセットされるそして、最大10バイトの付加データを付加する場合には、CPU30から付加データ、制御信号CNT8/16、SN、およびいくつ（何バイト）の付加データが送信データの書き込み位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8～N3-8がCFR111にセットされる。送信前処理回路106においては、受信側のデータ出力時間を決定するタイムスタンプが、MPEGトランスポート40からパケットの最終データを受け取ったタイミングで内部のサイクルレジスタの値に、CPU30からホストインタフェ

ース102を介してCFR111にセットされた遅延時間Txdelayが加算されて、加算した値がタイムスタンプとして、受け取ったパケットのソースパケットヘッダに挿入される。

【0052】また、送信前処理回路106において、最大10バイトの付加データを付加する場合には、CPU30からの付加データ、制御信号CNT8/16、SN、およびいくつ（何バイト）の付加データが送信データの書き込み位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8~N3-8に基づいて、送信データの変換後に付加される付加データによって、送信データが欠落しないように、送信データの配置位置が制御される。

【0053】たとえば、タイミング制御回路1062で、CPU30からの付加データ、制御信号CNT8/16、SN、およびいくつ（何バイト）の付加データが送信データの配置位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8~N3-8に基づいて、アプリケーションデータの変換後に付加される付加データによって、送信データが欠落しないように、送信データの配置位置を制御するための制御信号S1~S4が生成され、データ位置制御回路1061に出力される。たとえば、アプリケーションデータが8ビットで、付加データが10バイトで送信データの配置位置に影響を及ぼすかを示す数データがN2-8の場合には、信号SNが「10」に設定され、スイッチ回路SW22では出力端子eに入力端子cが接続される。また、スイッチ回路SW23では、8ビット転送であることから、出力端子cに入力端子bが接続される。そして、パケットイネーブル信号PKENをゲート信号として数データ2がカウンタCT21にロードされる。このロードデータ2はデコーダDC23でデコードされ、その出力がアクティブとなる。このとき、デコーダDC23の出力ラインが接続されているスイッチ回路SW25では制御信号CNT8/16により出力端子cに入力端子bが接続されていることから、制御信号S3がアクティブでデータ位置制御回路1061に出力される。

【0054】データ位置制御回路1061では、制御信号S3を受けて、スイッチ回路SW17のみ出力端子cが入力端子b側に接続される。またスイッチ回路SW13は制御信号CNT8/16により出力端子cに入力端子aが接続されていることから、8ビットのデータがラッチ回路LTC13にラッチされ、そのデータはアプリケーションデータに上書きする付加データが2バイト分あることから、送信データ（アプリケーションデータ）を配置すべき第1クワドレットの先頭位置から16ビット

（2バイト）分あけた位置からデータが配置されることになる。

【0055】そして、10バイトの付加データが2.5クワドレット分、上述した制御の下に配置された送信デ

ータの直前に配置される。この10バイトの付加データは、最後の2バイトが送信データの先頭位置が配置されたクワドレットの先頭から16ビット分（2バイト分）配置されるが、上述したように、送信データ（アプリケーションデータ）は、書き込むべき第1クワドレットの先頭位置から16ビット（2バイト）分あけた位置からデータが配置されていることから、送信データに重なることなく配置される。このように、付加データが付加されたMPEGトランスポート40によるMPEGトランスポートストリームデータは、IEEE1394規格のアイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整され、かつ4バイトのソースパケットヘッダ（SPH）が付加され、FIFO110に格納される。

【0056】そして、送信後処理回路107において、FIFO110に格納された付加データを含むソースパケットデータに対して図8に示すように、1394ヘッダ、CIPヘッダ1,2が付加されてリンクコア101の送信回路に出力される。

【0057】以上説明したように、本実施形態によれば、送信前処理回路106に、CPU30からの付加データ、制御信号CNT8/16、SN、およびいくつ（何バイト）の付加データが送信データの配置位置に影響を及ぼすかを示す数データN0-16、N1-16、N0-8~N3-8に基づいて、アプリケーションデータの変換後に付加される付加データによって、送信データが欠落しないように、送信データの配置位置を制御するための制御信号S1~S4を生成して出力するタイミング制御回路1062と、タイミング制御回路1062による制御信号S1~S4を受けて、付加データの有無、および付加データが送信データに影響を及ぼす（重なる）バイト数に応じて送信データの先頭側の配置位置を、1クワドレットの上位側から8ビット単位で下位側へずらして、付加データが挿入されても送信データに重なって（上書きされて）データの欠落が生じない位置に制御するデータ位置制御回路1061を設けたので、アプリケーション側のデータを損なうことなく、付加データを付加することができる。したがって、DSS用のMPEGデータ送受信において、付加データを付加するときに、アプリケーションデータの欠落なしに、シリアルバス通信を行うことができる。

【0058】

【発明の効果】以上説明したように、本発明によれば、アプリケーション側のデータを損なうことなく、付加データを付加することができる。

【図面の簡単な説明】

【図1】IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の第1の実施形態を示すブロック構成図である。

【図2】タイムスタンプの具体的な構成を説明するため

の図である。

【図 3】本発明に係るデータ位置制御回路の構成例を示す回路図である。

【図 4】本発明に係るタイミング制御回路の構成例を示す回路図である。

【図 5】アイソクロナス通信における 1 ソースパケットのバイトサイズを示す図であって、(A) は DVB 仕様時、(B) は DSS 仕様時のパケットサイズを示す図である。

【図 6】IEEE 1394 規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

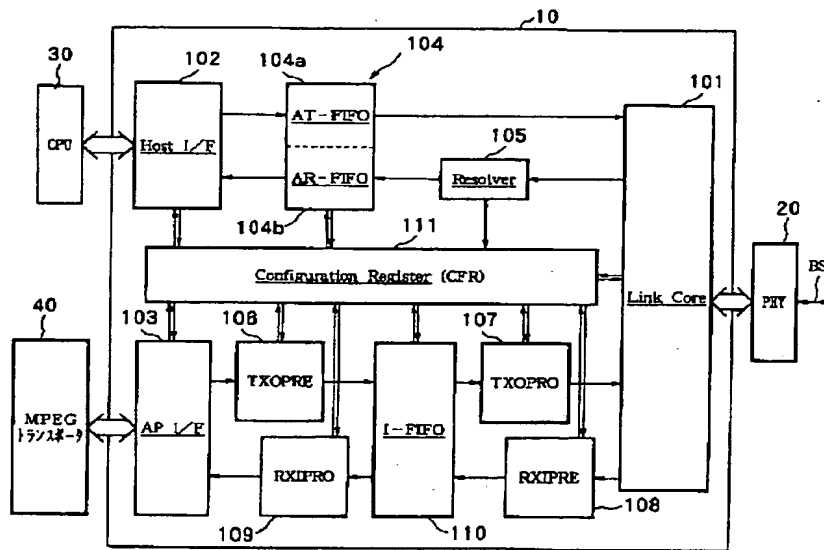
【図 7】ソースパケットヘッダのフォーマットを示す図である。

【図 8】アイソクロナス通信用パケットの基本構成例を示す図である。

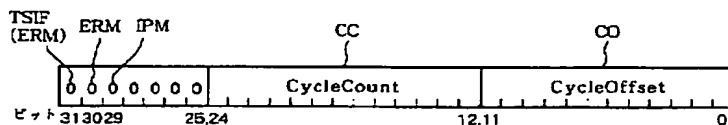
【符号の説明】

10…リンク・コア回路、101…リンクコア(Link Core)、102…ホストインタフェース回路(Host I/F)、1032…アプリケーションインタフェース回路(AP I/F)、104…アシンクロナス通信用 FIFO、送信用 FIFO(AT-FIFO)、104b…受信用 FIFO(AR-FIFO)、105…セルフ ID 用リゾルバ(Resolver)、106…アイソクロナス通信用送信前処理回路(TXOut1)、1061…データ位置制御回路、1062…タイミング制御回路、107…アイソクロナス通信用送信後処理回路(TXOut2)、108…アイソクロナス通信用受信前処理回路(TXIn1)、109…アイソクロナス通信用受信前処理回路(TXIn2)、110…アイソクロナス通信用 FIFO(I-FIFO)、111…コンフィギュレーションレジスタ(CFR)、20…フィジカル・レイヤ回路、30…CPU、MPEG トランスポート

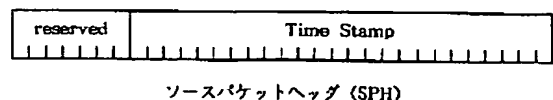
【図 1】



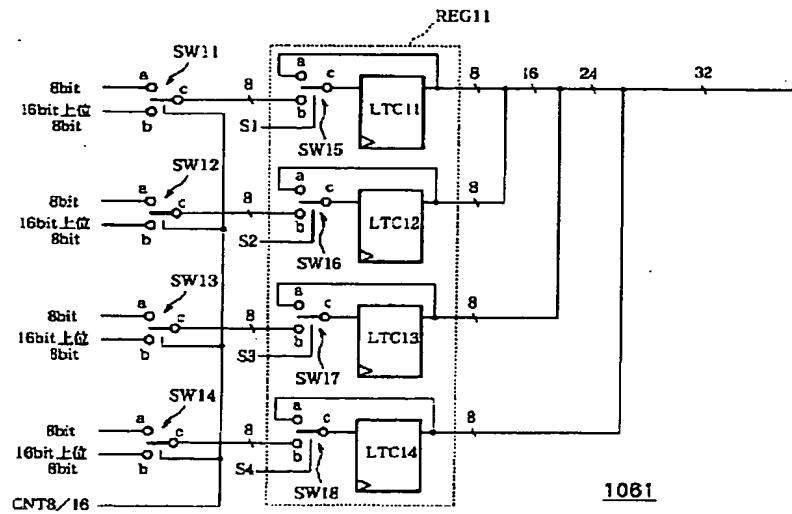
【図 2】



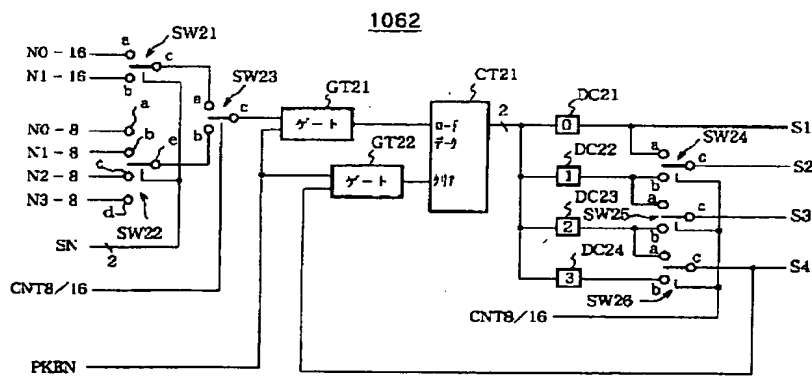
【図 7】



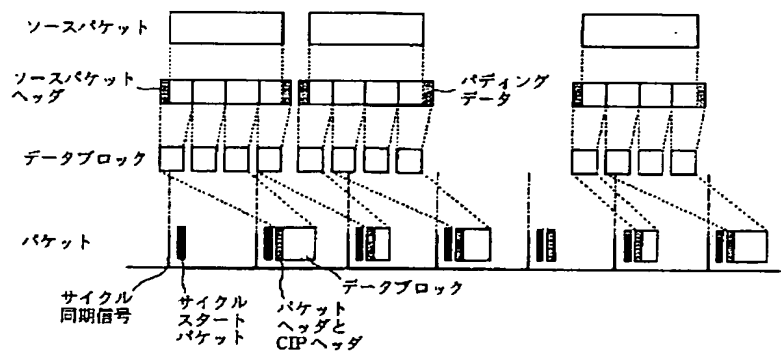
【図3】



【図4】

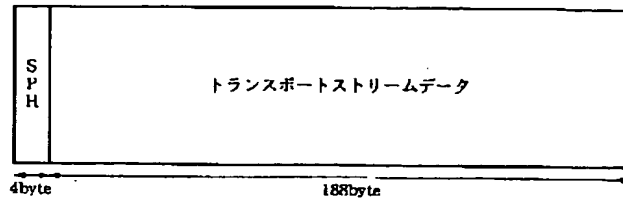


【図6】

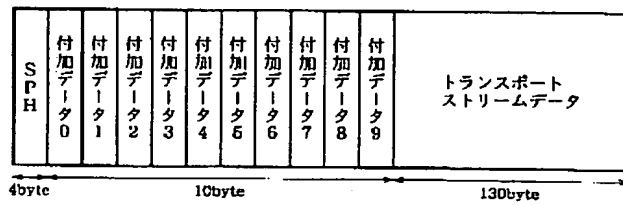


【図5】

(A)

DVB

(B)

DSS

【図8】

